

First Hit

L5: Entry 25 of 33

File: JPAB

Dec 20, 1984

PUB-NO: JP359227098A  
DOCUMENT-IDENTIFIER: JP 59227098 A  
TITLE: TLB PURGE RECOVERY SYSTEM

PUBN-DATE: December 20, 1984

## INVENTOR-INFORMATION:

NAME	COUNTRY
KURIYAMA, MASAHIRO	

## ASSIGNEE-INFORMATION:

NAME	COUNTRY
FUJITSU LTD	

APPL-NO: JP58102265  
APPL-DATE: June 8, 1983

US-CL-CURRENT: 714/2  
INT-CL (IPC): G11C 29/00; G06F 11/00; G06F 13/00; G11C 9/06

## ABSTRACT:

PURPOSE: To prevent a fault such as a data transformation, etc. by making a microprogram and an existing TLB circuit work together, even if a trouble is generated in controlling circuit of a TLB purge and an ineffective data omission occurs, and recovering a TLB purge function.

CONSTITUTION: When a trouble is generated in a purge TLB counter 9, and an omission is generated in an ineffective data of a stand-by system, and a data before switching is left to generate malfunction when it becomes an operation system by switching. Therefore, a data check is executed by a microprogram processing device to detect the ineffective data omission of the stand-by system. When the omission is generated, the ineffective operation of the stand-by system is stopped, returned to the initial state, also an interruption is executed to a microprogram to give a CVLD inversion instruction to an FF7, and switch both valid bits 31, 32. An ineffective data "all 0" is written in the stand-by system which comes to the position of the operation system by the error processing routine of the microprogram. Subsequently, the CVLD inversion instruction is given to the FF7 again to switch both valid bits 31, 32. Next, it is returned to the original position of the operation system to restart the execution of a program at the time of an interruption.

COPYRIGHT: (C)1984, JPO&amp;Japio

**BEST AVAILABLE COPY**

⑨ 日本国特許庁 (JP) ⑩ 特許出願公開  
 ⑪ 公開特許公報 (A) 昭59—227098

⑫ Int. Cl.<sup>3</sup>  
 G 11 C 29/00  
 G 06 F 11/00  
 13/00  
 G 11 C 9/06

識別記号 庁内整理番号  
 7922—5B  
 7368—5B  
 7361—5B  
 8219—5B

⑬ 公開 昭和59年(1984)12月20日  
 発明の数 1  
 審査請求 有

(全 4 頁)

⑭ TLBバージリカバリ方式

⑮ 特 願 昭58—102265  
 ⑯ 出 願 昭58(1983)6月8日  
 ⑰ 発明者 栗山正裕

川崎市中原区上小田中1015番地  
 富士通株式会社内

⑱ 出願人 富士通株式会社  
 川崎市中原区上小田中1015番地  
 ⑲ 復代理人 弁理士 田坂善重

明細書

1.発明の名称 TLB バージリカバリ方式

2.特許請求の範囲

TLB(トランスレーション・ルツクアサイド・バッファ)のエントリの有効性を示すバリッドビットを動作系と予備系の2系統もち、両系統の相互の切換により予備系となつた系統を無効化してTLBページを行なうTLB回路において、マイクロプログラムによつて各TLBエントリの動作系バリッドビットを無効化する手段と、マイクロプログラムによつて両バリッドビットの系統の切換えを行なう手段とを設け、TLBページの制御回路に誤動作が検出されたとき、マイクロプログラムへの割込みによりバリッドビットの系統を切換え、全TLBエントリの動作系となつたバリッドビットのみを無効化し、その後再びバリッドビットの系統を切換えて当初のプログラムに復帰するようIC制御することを特徴とするTLBバージリカバリ方式。

3.発明の詳細な説明

(1) 発明の技術分野

本発明はTLB(トランスレーション・ルツクアサイド・バッファ)の動作系と予備系の2系統のバリッドビットを切換えてTLBページを行なうTLB回路において、TLBページの制御回路に故障が発生し無効化データ抜けが起つても直ちにTLBページ機能を回復できるようにしたTLBバージリカバリ方式に関するものである。

(2) 従来技術と問題点

従来、利用者のプログラムを格納する仮想記憶部と、実記憶部との間に、所要のデータにつきアドレス間の変換を行なうTLB(トランスレーション・ルツクアサイド・バッファ)が多用されている。

このTLBではエントリの有効性を示すバリッドビットを動作系と予備系の2系統を有し、両系統の相互の切換により何れかの系統を無効化するTLBページを行なつているものがある。すなわち、実施例で詳述するように、TLBページ

の高速化のため、TLBエントリの内容の有効性を示すパリンドビットを各エントリに対して2ビットずつもち、常にその内一方だけを動作系としてTLB登録、アドレス変換で使用し他方は予備系としておく。

TLB全ページ指示が出されたとき、それまでの動作系と予備系との切換えを行ない、1サイクルで全ページを終了させる。

その後、切換えによつて予備系となつたパリンドビットに対しては、ハードウェアのページTLBカウンタ回路により全エントリをサーチして無効化を行なう。この無効化は、命令の実行、すなわち動作系を使用してのTLB登録、アドレス変換と並行して行なわれ、かつ予備系に対してのみ無効データの書き込みが行なわれ、動作系には何ら影響を与えない。

このようなTLBページを行なうTLB回路において、もし予備系無効化のためのページTLBカウンタ回路に故障が発生し、予備系の無効化データに抜けができたりした場合、次回のTLB全ペー

ジタルによつて再び動作系と予備系の切換えが行なわれると、無効化データ抜けのエントリを参照したとき、データ(アドレス)化けを生じ誤動作を起すおそれがある。

#### (3) 発明の目的

本発明の目的はTLBの動作系と予備系の2系統のパリンドビットを切換えて、TLBページを行なうTLB回路において、TLBページの制御回路に故障が発生し無効化データ抜けが起つても直ちにTLBページ機能を回復できるようにしたTLBページリカバリ方式を提供することである。

#### (4) 発明の構成

前記目的を達成するため、本発明のTLBページリカバリ方式はTLB(トランズレーション・ルックアサイド・バッファ)のエントリの有効性を示すパリンドビットを動作系と予備系の2系統を有し、両系統の相互の切換えにより予備系となつた系統を無効化してTLBページを行なうTLB回路において、マイクロプログラムによつて各TLBエントリの動作系パリンドビットを無効化する手

段と、マイクロプログラムによつて両パリンドビットの系統の切換えを行なう手段を設け、TLBページの制御回路に誤動作が検出されたとき、マイクロプログラムへの割込みによりパリンドビットの系統を切換え、全TLBエントリの動作系となつたパリンドビットのみを無効化し、その後再びパリンドビットの系統を切換えて当初のプログラムに復帰するように制御することを特徴とするものである。

#### (5) 発明の実施例

本発明の原理は、ページTLBカウンタ回路のエラー検出回路を設け、予備系の無効化中にカウンタ回路でエラーを検出した場合には、一旦予備系無効化の動作を止め、初期状態に戻し、かつマイクロプログラムに対し割込みを行なう。その後、マイクロプログラムによつて、両パリンドビットの切換えを行ない、動作系の位置にきた予備系に対しマイクロプログラムによつて全エントリに無効データを書き込む。この無効化のために必要な回路は、TLB登録のための回路が殆どすべてそのま

ま利用でき、パリンドビット書き込みデータを反転させるだけでよい。また、この無効化は、現在動作系の位置にあるパリンドビットに対してのみ書き込みが行なわれ、予備系の位置に退避されている動作系パリンドビットに対しては変化を与えない。上記の方法により、マイクロプログラムによる全エントリの無効化が終了すれば、再度マイクロプログラムにより再パリンドビットの切換えが行なわれ、その後後続する命令の実行を再開する。

第1図は本発明の実施例の構成説明図である。同図において、仮想記憶部の論理アドレスレジスター(LAR)1に利用者が直接作成するデータの論理アドレスを入力し、この論理アドレスでTLB2をアクセスする。TLB2には、第2図に示すように論理アドレス(L)と対応する実アドレス(R)と制御信号(C)が所要データ数だけ格納されている。LAR1からの論理アドレス(L)とTLB2の論理アドレス(L)との一致を比較器4で検出し、対応するTLB2の実アドレス(R)を実アドレスレジスター6に送り、LAR1の論理アドレスの内ページ内変

位に対応するデータをRAR6に送り、結局実アドレスに対応するデータが主メモリ(MS)IC板送される。

この場合、TLBエントリの有効性を示すパリッドビットは、動作系と予備系の2系統、 $(V_1)_{3_1}$ と $(V_2)_{3_2}$ を有し、そのうちの動作系のパリッドビット出力をAND回路11<sub>1</sub>、11<sub>2</sub>とOR回路12を通してパリッド信号を出力し、この条件下に前記比較回路4の一致信号とともにAND回路5を介しTLBビット信号として外部に出力し使用する。

パリッドビットの2系統 $(V_1)_{3_1}$ 、 $(V_2)_{3_2}$ の切換えは、ページTLB信号による反転信号を、現在の動作系パリッドビット指示フラグ(CVLD)を表わすフリップフロップ(FF)7に入力し、その出力と反転出力をそれぞれAND回路11<sub>1</sub>、11<sub>2</sub>に入力することにより行なわれる。パリッドビット系統 $(V_1)_{3_1}$ 、 $(V_2)_{3_2}$ をそれぞれアクセスするLAR1からの論理アドレスを動作系に、ページTLBカウンタ(PTLBC)9からのカウントアドレスを予備系に与えられるように、マルチプレクサ(MPX)10<sub>1</sub>、

10<sub>2</sub>を前記CVLD用FF7の出力で切換える。すなわち、CVLD用FF7の出力の“1”、“0”に応じてMPX10<sub>1</sub>、10<sub>2</sub>の両アドレス入力①か②を選択させる。このように両パリッドビットの系統が何れに切換つても動作系にLAR1の論理アドレスが、予備系にPTLBC9のカウントアドレスがアクセスされるようになる。そして、 $(V_1)_{3_1}$ 、 $(V_2)_{3_2}$ に對し、TLB登録データをそれぞれCVLD用FF7の出力、反転出力とともにAND回路8<sub>1</sub>、8<sub>2</sub>を介して入力させ、動作系に對しては登録データを、予備系に對しては常に“0”すなわち無効化データを書込む。さらに動作系の内容から前述のパリッド信号を読出すものである。

以上は従来のパリッドビットの動作系と予備系をページTLB信号により切替えてパリッド信号を出力するものであるが、本発明ではこの構成において、ページTLBカウンタ(PTLBC)9の故障により予備系に無効データ抜けが発生した場合には、該PTLBC9の代りにマイクロプログラムを用い、第2図の回路を用いて切換えが行なわれる。この

場合には、前述のページTLB信号の代りにマイクロプログラムによるCVLD反転命令をCVLD用FF7ICに与えて動作系と予備系の切換え反転を行なうものである。

以下第3図により本発明の方式の手順を概略図により説明する。

前述のようにページTLBカウンタ(PTLBC)9が故障を起し、予備系の無効化データに抜けを生じ、切換前のデータが残つていると次に切換えて動作系となつた場合に誤動作が発生する。

これをマイクロプログラム処理装置によりデータチェックを行ない予備系の無効化データ抜けを検出する。そして抜けが発生した場合には、予備系の無効化動作を停止し初期状態に戻し、かつマイクロプログラムに対し割込みを行なつた後、前述のCVLD反転命令をFF7ICに与え第2図の回路により両パリッドビット $(V_1)_{3_1}$ 、 $(V_2)_{3_2}$ を切換える。動作系の位置にきた予備系に對しマイクロプログラムのエラー処理ルーチンにより無効化データ“オール0”を書込む。

次にまたCVLD反転命令をFF7に与え両パリッドビット $(V_1)_{3_1}$ 、 $(V_2)_{3_2}$ を切換える。そして動作系の元の位置にリターンして割込み時のプログラムの実行を再開する。

以上の方法により、故障したページTLBカウンタ9を使用することなく、マイクロプログラムの協力を得て正しいページTLB動作を行なうことができる。

#### (6) 発明の効果

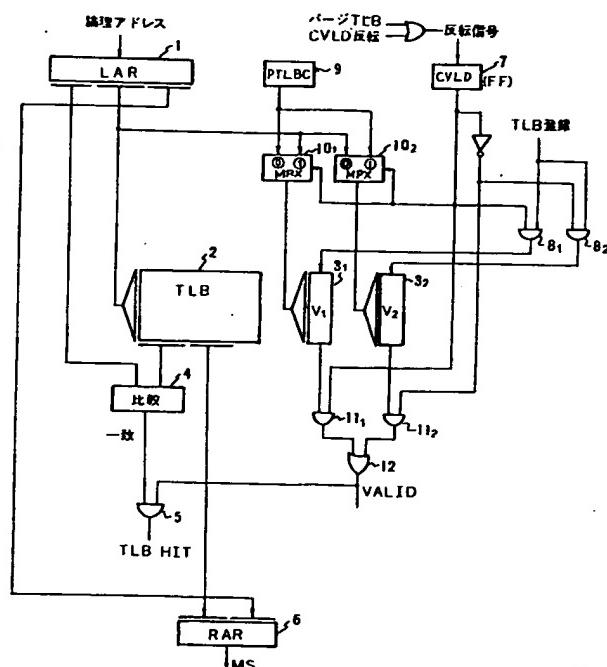
以上説明したように、本発明によれば、TLBの動作系と予備系の2系統のパリッドビットを切換えてTLBページを行なうTLB回路において、TLBページの割御回路に故障が発生し無効化データ抜けが起つても、マイクロプログラムと既存のTLB回路との協力によりTLBページ機能を回復してデータ化け等の障害を未然に防止することができるものである。かつ、割込まれた動作系のパリッドビットには何ら変化を生じさせないので、リカバリ後も動作系のTLBの内容は有効であり、TLB性能の低下をまねくことはない。

## 4. 図面の簡単な説明

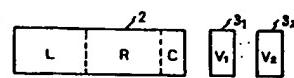
第1図は本発明の実施例の構成説明図、第2図は要部の詳細説明図、第3図は本発明の動作を示す流れ図であり、図中1は論理アドレスレジスタ(LAR)、2はTLB、3<sub>1</sub>, 3<sub>2</sub>はバリットビット、4は比較器、5, 8<sub>1</sub>, 8<sub>2</sub>, 11<sub>1</sub>, 11<sub>2</sub>はAND回路、6は実アドレスレジスタ(RAR)、7はCVLD用FF、9はページTLBカウンタ(PTLBC)、10<sub>1</sub>, 10<sub>2</sub>はマルチプレクサ(MPX)を示す。

特許出願人 富士通株式会社  
復代理人 弁護士 田坂善重

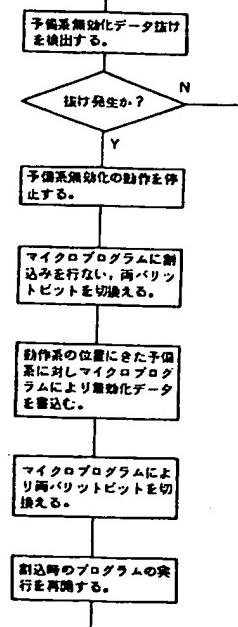
第1図



第2図



第3図



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER: \_\_\_\_\_**

**IMAGES ARE BEST AVAILABLE COPY.**

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.